

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-288812**

(43)Date of publication of application : **05.11.1993**

(51)Int.Cl.

G01R 31/28
G02F 1/133
G09G 3/36
H01L 27/04

(21)Application number : **04-094275**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **14.04.1992**

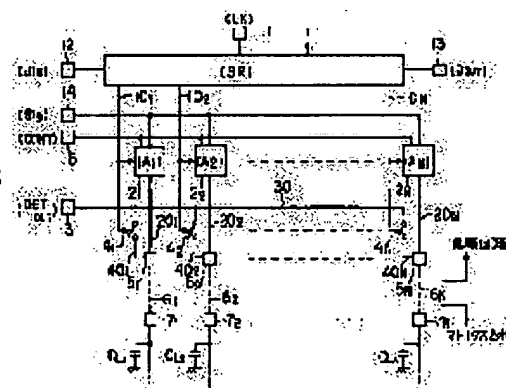
(72)Inventor : **SUZUKI KOHEI
SUZUKI KOJI**

(54) INTEGRATED CIRCUIT ELEMENT AND ELECTRONIC DEVICE USING SAME

(57)Abstract:

PURPOSE: To obtain a semiconductor integrated circuit element which results in cost reduction and the improvement of reliability thanks to easy inspection, even if it has a number of terminals of micro pitch.

CONSTITUTION: A semiconductor integrated circuit element, in which internal circuits 1 and 2 having specified functions are provided on a substrate thereof, is provided with MOS switch circuits 41 to 4N. that are formed on the same substrate as the circuits 1 and 2 and select the output signals 201 to 20N from the circuit 2 successively, and an inspection terminal 3 that picks up to the outside the output signals selected through the switch circuits 41 to 4N.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-288812

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
G 0 2 F 1/133	5 0 5	7820-2K		
G 0 9 G 3/36		7319-5G		
H 0 1 L 27/04	T	8427-4M		
		6912-2G	G 0 1 R 31/ 28	V

審査請求 未請求 請求項の数 2 (全 8 頁)

(21)出願番号 特願平4-94275

(22)出願日 平成4年(1992)4月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 鈴木 公平

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 鈴木 幸治

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

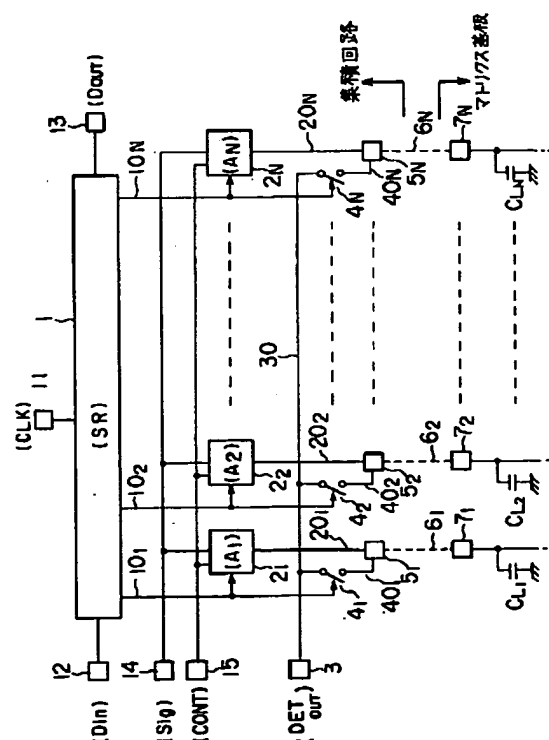
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 集積回路素子及びこれを用いた電子装置

(57)【要約】

【目的】 端子数が多く端子ピッチが微細であっても、その検査を容易に行うことができ、信頼性の向上及びコストの低減に寄与し得る半導体集積回路素子を提供すること。

【構成】 基板上に形成されて所定の機能を有する内部回路1、2を備えた半導体集積回路素子において、内部回路1、2と同一基板上に形成され、内部回路2の出力信号20₁～20_nを順次選択するMOSスイッチ回路4₁～4_nと、このスイッチ回路4₁～4_nにより選択された出力信号を外部的に取り出すための検査端子3とを具備してなることを特徴とする。



【特許請求の範囲】

【請求項1】基板上に形成されて所定の機能を有する内部回路と、この内部回路と同一基板上に形成され、該内部回路の出力信号を順次選択するスイッチ回路と、このスイッチ回路により選択された出力信号を外部に取り出すための検査端子とを具備してなることを特徴とする集積回路素子。

【請求項2】請求項1記載の集積回路素子と、この集積回路素子によって駆動される負荷回路と、前記集積回路素子の検査用端子からの複数個の出力電位情報を格納する記憶素子と、この記憶素子からの情報によって前記集積回路素子に入力される入力信号を補正演算する演算回路とを具備してなることを特徴とする電子装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、出力端子に現れる信号に基づく検査の容易化をはかった集積回路素子及びこれを用いた電子装置に関する。

【0002】

【従来の技術】アクティブマトリックス型液晶表示装置は、CRTに匹敵する表示品質を持つフラットパネル表示装置や、高精細投射型TVなどを安価に実現できるものとして注目されている。この液晶表示装置には、マトリックス基板上に形成された数百～数千本のアドレス線とデータ線と、それを駆動するための集積回路(IC)が設けられているが、画素数増加、ファインピッチ化、小型化、低価格化のために、一つの駆動ICにできるだけ多くの駆動用出力端子を細かいピッチで配列させることが要求されてきている。

【0003】従来、この種の駆動ICとアドレス線及びデータ線との接続にはTAB(Tape Automated Bonding)方式を用いるのが一般的であるが、より細かい接続ピッチの可能なCOG(Chip On Glass)実装方式などの裸のICチップを直接接続する方式の開発が盛んである。可能な接続ピッチはTAB方式の100 μ m程度に対して、COG方式では数十 μ m～数 μ mと細くすることができる。

【0004】しかしながら、COG方式では、それを実際に利用する上で幾つかの克服すべき問題がある。その一つは、実装するICの検査方法である。従来は、ウェハ状態で殆ど全ての端子に同時にテストプローブピンを当て、動作確認、良品判別を行い、ウェハから切り出した良品とされたICチップを、そのままマトリックス基板上の配線端子と接続していた。ここで、テストプローブピンの機械的、寸法的な制約からICの端子数は300程度、端子ピッチは80 μ m程度までしか実用的には対応できないと言われている。このため、今後の多端子、微細ピッチの半導体集積回路素子においては、検査が難しくなり、信頼性の低下、コストの増加を招くことになる。

【0005】また、検査の信頼性を上げるために、端子数、端子ピッチを制限すると、画素の高精細化のみならず、駆動ICの小型化(端子領域の面積が律速)、使用数の削減による低価格化及び液晶表示装置の小型化が困難となる。さらに、COG方式では、パッケージ化されたICにおいて実施しているバーンイン(通電エージングによる初期不良出し)工程も通せないため、マトリックス基板と接続して画像表示させて見て初めてIC不良が判明することが起きる。この場合、液晶表示装置として不良品で終わってしまう。不良ICのリペアが可能な場合もあるが、この場合は工程が増加することになる。

【0006】

【発明が解決しようとする課題】このように従来、プローブピンを用いる半導体集積回路素子の検査では、素子の端子数は300程度、端子ピッチは80 μ m程度までが限界であり、今後の半導体集積回路素子の小型化、端子数の増大化、端子の微細ピッチ化に対応することは困難であった。また、現状でも多端子、微細ピッチの半導体集積回路素子は検査が難しく、信頼性の低下、コストの増加を招いていた。特に、液晶表示装置に使用される駆動ICなどにおいては、COGの実装方式を採用した場合に、駆動ICの動作テスト及び実装検査が難しくなる問題があった。

【0007】本発明は、上記事情を考慮してなされたもので、その目的とするところは、端子数が多く端子ピッチが微細であっても、その検査を容易に行うことができ、信頼性の向上及びコストの低減に寄与し得る集積回路素子を提供することにある。また、本発明の他の目的は、上記集積回路素子を用いた電子装置を提供することにある。

【0008】

【課題を解決するための手段】本発明の骨子は、集積回路素子の検査を容易にするために、素子外部への出力信号を選択するスイッチ回路を同一素子内に形成し、スイッチ回路の出力を被検査端子としたことにある。

【0009】即ち本発明は、基板上に形成されて所定の機能を有する内部回路を備えた集積回路素子において、内部回路と同一基板上に形成され、該内部回路の出力信号を順次選択するスイッチ回路と、このスイッチ回路により選択された出力信号を外部に取り出すための検査端子とを具備してなることを特徴とする。また、本発明の望ましい実施態様としては、次の(1)～(5)に示すものが上げられる。

(1) 集積回路素子の出力端子にプローブを当てることなく、電源端子と制御端子及び検査端子のみにプローブを当て、通電若しくは検査を行う。

(2) 出力端子群の寸法若しくは端子ピッチに比べ、電源や制御端子、検査端子のそれを大きくする。

(3) 本発明の集積回路素子を液晶表示装置の駆動ICとして用いる。

(4) 集積回路素子の検査端子の出力信号により、集積回路素子と液晶表示装置等の配線基板との接続状態を含めた動作状態の検査を行う。

(5) スイッチ回路として、MOSトランジスタを用いる。

【0010】

【作用】集積回路素子の電源端子と制御端子にプローブを当て内部回路を動作させ、複数の出力端子に順次適当な出力が出るように制御し、それに応じた検査端子からの出力を観測或いはデータ処理などを行い、本来出べき正常波形と比較することにより、数百個もの出力端子にプローブピンを当てることなく内部回路の動作確認ができる。このため、検査が極めて容易となり、信頼性の向上及びコストの低減をはかることが可能となる。

【0011】また、出力端子にプローブピンを当てる必要がないことから、出力端子の寸法やピッチを従来に比べて極めて小さくすることができ、画素の高精細化のみならず、駆動ICの小型化、使用数の削減による低価格化及び液晶表示装置の小型化が可能となる。さらに、多数の出力端子にテストプローブピンを当てる必要がなく、1チップ当たり10本程度のプローブピンで通電、動作確認できるために、ウェハ状態で全てのICを同時に通電、動作確認するプローブカードの作成が可能で、ウェハ状態でのバーニンとその後の良品判別ができる。

【0012】さらに、この集積回路素子を備えた液晶表示装置では、集積回路素子の出力端子の負荷となるマトリックス基板上に形成されたアドレス線やデータ線との電氣的接続状態を反映した電圧変化を検査用端子から適宜観測できるので、正常に電氣的接続されたかも検出することができる。

【0013】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0014】図1は、本発明の第1の実施例を示す等価回路を含めたブロック図である。図は集積回路部と液晶表示装置のマトリックス基板部に大別され、両者は接続材料6₁～6_nにより電氣的に接続される。

【0015】まず、集積回路部について単独に説明する。集積回路部は、シフトレジスタ1及びサンプルホールド回路2₁～2_nからなる内部回路と、検査端子3、選択スイッチ4₁～4_n、出力端子5₁～5_n、及びその他の端子11～15から構成されている。この例は、サンプルホールド回路2₁～2_nを有するいわゆるアナログドライバICに、本発明の特徴の「複数の出力端子5₁～5_nの電位に対応した信号を検査端子3に選択出力する回路としての選択スイッチ4₁～4_n」を付加したものである。

【0016】表示画像信号(Sig)は端子14に入力され、一般的な方法で複数の出力端子5₁～5_nに分配さ

れる。即ち、シフトレジスタ1は端子11、12から入力した2つの制御信号(クロック(CLK)とシフト開始信号(Din))により動作し、シフトレジスタ出力10₁～10_nに順次パルスが出力され、これに応じて表示画像信号(Sig)は順次サンプルホールドされ、複数の出力端子5₁～5_nに分配される。

【0017】選択スイッチ4₁～4_nはMOSトランジスタ等によるアナログスイッチであり、サンプルホールド動作と同期して順次オンし、出力端子5₁～5_nの電位を検査端子3に順次選択出力する。このとき、表示画像信号(Sig)と検査端子3の出力信号を順次比較することにより、集積回路自身の動作確認が可能となる。この例では、設定したタイミングで両者が一致していれば正常、そうでなければ不良である。ここで、サンプルホールド回路2の出力20₁～20_nからではなく、出力端子5₁～5_nを選択スイッチ4₁～4_nに直接接続することにより検査の確実性が向上する。なお、このときの概略タイミング図を図2に示す。

【0018】このように多数の出力端子5₁～5_nに直接プローブを当てる代わりに、検査端子3にプローブを当てることにより集積回路素子の動作確認ができる。このため、プローブを用いた検査を容易かつ確実に行うことができ、素子としての信頼性向上及びコストの低減をはかることができる。また、出力端子5₁～5_nにプローブに当てる必要がないことから、出力端子5₁～5_nの寸法やピッチを従来に比べて極めて小さくすることが可能となる。

【0019】図3にこの集積回路チップの端子配列図を示す。出力端子5₁～5_nはピッチ20μm、寸法10μm角で端子数500であり、電源端子16、17や表示画像信号(Sig)の入力端子15、検査端子3、クロック端子11、シフト開始信号端子12、シフト信号出力端子13などは、ピッチは最小でも200μm、寸法は100μm角としている。

【0020】集積回路チップの外径寸法は、図3(a)では10.5mm×2.2mm、図3(b)では4mm角と、500個の出力にしては極めて小さいチップ面積にすることができた。さらに、1チップ当たり10本程度のピッチの荒いプローブピンで通電、動作確認できるため、ウェハ状態で全てのICを同時に通電、動作確認するプローブカードが作成可能で、ウェハ状態でのバーニンとその後の良品判別ができた。

【0021】次に、この集積回路素子を備えた液晶表示装置の検査について説明する。図1において、集積回路部の出力端子5₁～5_nと液晶表示装置のマトリックス基板部のデータ線端子7₁～7_nとは、接続材料6₁～6_nにより電氣的に接続される。データ線は数10pFから数100pFの配線容量(C_l)を持っており、集積回路部の出力端子5₁～5_nの負荷となる。本実施例は、集積回路部の出力端子の負荷容量に依存して出力端

10

20

30

40

50

子の電位が変化するようにして、集積回路部の出力端子5_i～5_Nとマトリックス基板部のデータ線端子7_i～7_Nとの電気的接続が正常になされているかをも検査端子3から検出することができるようにしたものである。

【0022】このための動作を次に説明する。制御端子15は、サンプルホールド回路2_i～2_N内のバッファアンプの駆動能力を通常時の1/10～1/100程度に小さく制御するものである。これにより、集積回路部の出力端子5_i～5_Nとマトリックス基板部のデータ線端子7_i～7_Nとが正常に接続されていれば、負荷となる配線容量(C_L)のため集積回路部の出力端子5_i～5_Nの電位は通常駆動時まで駆動できず小さくなるが、接続が不良であれば通常駆動時と大差ない値となる。この違いを検査端子3から観測することにより、正常に電気的接続されたかも検出することができる。

【0023】ちなみに、出力端子5_i～5_Nの端子当たりの容量は1pF/程度以下で、選択スイッチ4_i～4_N及び共通配線30の容量は数pF～数10pF程度と負荷となる配線容量(C_L)に比べ1桁程度小さくできるため、十分に判別できる。また、検査端子3に接続される外部配線(図示せず)の配線容量が大きい場合には、共通配線30と検査端子3の間にバッファアンプを付加することにより判別の確実度低下を防止できる。

【0024】このように本実施例によれば、集積回路素子の電源端子、入力端子及び制御端子等にプローブを当て回路を動作させ、複数の出力端子5_i～5_Nに順次適当な出力が出るように制御し、それに応じた検査端子3からの出力を観測或いはデータ処理などを行い、本来出るべき正常波形と比較することにより、数百個もの出力端子にプローブピンを当てることなく集積回路素子の動作確認ができる。このため、プローブを用いた検査を容易かつ確実に行うことができ、素子としての信頼性向上及びコストの低減をはかることができる。

【0025】また、出力端子5_i～5_Nの寸法やピッチを従来に比べ極めて小さくすることができ、画素の高精細化のみならず、駆動ICの小型化・使用数の削減による低価格化、及び液晶表示装置の小型化が可能となる。さらに、多数の出力端子5_i～5_Nにテストプローブピンを当てる必要がなく、1チップ当たり10本程度のプローブピンで通電、動作確認できるため、ウェハ状態で全てのICを同時に通電・動作確認するプローブカードが作成可能で、ウェハ状態でのバーニンとその後の良品判別ができる利点もある。

【0026】次に、このような電気的接続の検査に関する第2の実施例を、図4を用いて説明する。図4は、図1のN個の回路のうちのi番目の1回路分に相当する等価回路を含めた回路図である。第1の制御端子15aは、サンプルホールド回路2_i～2_N内のバッファアンプの出力を出力端子5_i～5_Nに伝達するか、フローティング状態にするかを制御するものである。選択スイ

チ4_i～4_Nは、第2の制御端子15bとシフトレジスタ出力10_i～10_Nの論理積によってオンオフ制御される。

【0027】図5にタイミング図を示すが、動作は次の通りである。まず、第1の制御端子15aを制御してバッファアンプの出力を出力端子5_i～5_Nに伝達させ、負荷となる配線容量(C_L)を所望の電圧に充電させる。このときは選択スイッチ4_i～4_Nは第2の制御端子15bにてオフ状態にしておく。次に、第1の制御端子15aを制御してバッファアンプの出力をフローティング状態にした後、選択スイッチ4_i～4_N(ここでは4_i)がオンするように第2の制御端子15bを制御する。これにより、配線容量(ここではC_L)に充電されていた電荷が共通配線30の容量に分配され、バッファ3aを経て検査端子3にその電位が出力される。その後、リセットスイッチ3bがオンして共通配線30の容量に溜まった電荷を放電し、初期状態にリセットし、次のi+1番目の回路からの電荷流入まで待機する。検出される電圧V_{3i}は次式で与えられる。

$$\text{【0028】 } V_{3i} = V_{\text{Sig-i}} \cdot (C_{5i} + C_{Li}) / (C_{5i} + C_{Li} + C_3)$$

ここで、V_{Sig-i}は表示画像信号(Sig)のi番目に対応した入力電圧、C_{5i}は出力端子5_i～5_Nのi番目のノードに対応した容量、C_{Li}は負荷となる配線容量(C_L)のi番目に対応した容量、C₃は共通配線30のノードに対応した容量である。

【0029】それぞれの代表値を基に、電気的接続の検査判別原理を説明する。C_{5i}を1pF、C₃を10pF、C_{Li}を50pFとすると、集積回路部の出力端子5_iとマトリックス基板部のデータ線端子7_iとが正常に接続されていれば、V_{3i} = 0.84・V_{Sig-i}となるが、正常に接続されていなければC_{Li}は0pFと等価で、V_{3i} = 0.09・V_{Sig-i}となる。V_{Sig-i}は数Vのオーダのため、両者は回路ノイズより十分大きく容易に判別することができ、半ば不完全な接続状態をも精度良く判別することが可能となった。

【0030】以上のように、集積回路素子の出力端子の負荷となるマトリックス基板上に形成されたアドレス線やデータ線との電気的接続状態を反映した電圧変化を検査用端子から適宜観測できるので、正常に電気的接続されたかも検出することができる。なお、この回路構成でも、先に述べた集積回路素子単独の検査にも使えることは言うまでもない。

【0031】なお、上記実施例では液晶表示装置のデータ線ドライバ用集積回路について説明したが、アドレス(ゲート)線ドライバ用集積回路にも適用できることは言うまでもない。また、表示画像信号(Sig)の信号パターンとして数種のパターンを用い、それらの結果から総合的に正常/不良を判定することにより、より精度良く、またさらには不良モードの判別も可能である。ま

た、アクティブマトリックス液晶表示装置のみでなく、単純マトリックス方式にも使えることは言うまでもない。

【0032】次に、このような集積回路素子を用いた液晶表示装置に関する第3の実施例について説明する。図6は、そのブロック図である。説明を簡単にするために、必要以上のものは省略している。

【0033】液晶表示パネル部70はデータ線駆動用集積回路素子80₁～80_n及びアドレス線駆動用集積回路素子(図示せず)によって駆動される。ここで、集積回路素子80₁～80_nは前の実施例で説明したような、駆動用出力信号を検査端子に選択して取り出すためのスイッチ回路を内蔵したものである。検査端子からの信号DETはアナログ・デジタル変換器(A/D)102によってデジタル情報に変換され、補正用データとして補正データ格納メモリ101に格納される。演算回路100はこの補正用データに基づき、外部システムから送られてくる表示画像信号Sig0に補正演算を施し、その結果の補正された表示画像信号Sigがデータ線駆動用集積回路素子80₁～80_nに入力され、それに基づいた駆動信号で液晶表示パネル部70を駆動する。

【0034】このような本実施例の特徴を従来例と対比して説明する。図7(a)はデータ線駆動用集積回路素子の一般的な入出力特性を示すグラフである。入力される表示画像信号の電圧V_{gig}と、データ線へ出力される出力信号の電圧V_{out}は理想的には一致しているが、少なくとも全ての出力端子間で入出力特性ができるだけ揃っていることが要求される。しかしながら、図に示すOUT1、OUT2のように、現実的には内部の増幅回路のオフセットばらつきやゲインばらつきが存在し、液晶表示パネル部のデータ線に印加される電圧は、図7

(b)に示すように端子間でばらつきが生じる。この電圧ばらつきは、構成にもよるが、40mVから100mV_{p-p}程度あり、表示画の種類によっては縦すじノイズとして視認されてしまい、表示品質向上を阻んでいた。この電圧ばらつきを小さくするのは、集積回路内の増幅回路の初段部のトランジスタ特性の向上や、サンプルホールド回路の特性向上により原理的には可能性があるが、現実的には回路規模や消費電力、チップ面積、動作速度、コストなど多くの犠牲を必要わりには大きな特性向上ができなかった。

【0035】本実施例の構成では、予め種々のテストパターンを表示画像信号を流してそれに対応した出力信号を順次選択して検査端子から読取り、補正データとしてメモリ素子に記憶させておくことにより、集積回路素子の入出力特性やそのばらつきを補正し、結果として液晶表示パネルのデータ線に印加される電圧のばらつきを極めて小さくすることができ、表示上縦すじノイズの全く視認できない程度までに表示性能を向上させることができる。

【0036】具体的には、A/D変換と補正演算処理を8ビットで行うことにより、電圧ばらつきは10mV_{p-p}未満まで改善された。このときの補正演算としては、オフセット電圧とゲインについてばらつきを補正したもので、補正データに基づき差演算(オフセット用)と除演算(ゲイン用)を施している。演算回路としては、オペアンプとD/A変換器などを用いた通常のもので十分である。メモリ素子としては通常のRAMを用いたが、必要なメモリ容量は、データ線の本数が一般的な1920本(640画素×B, G, Bの3色)とした場合で、31kビット((8bit+8bit)×1920)と僅かなもので足りる。

【0037】以上の他に、補正すべき特性によって補正用データと補正演算方法として種々の変形が可能である。例えば、オフセット電圧やゲインだけでなく、入出力特性のリニアリティーまでも同様な手法で補正できる。また、リニアリティー補正データと共に液晶表示パネル部内部のアクティブ素子の入出力非線形データ(既知なものとして)も含めて記憶させておくことにより、より高画質な表示品質が得られるようになる。またさらには、集積回路素子内部回路の周波数帯域特性によってデータ線への隣接出力間の電圧レベル差が入力表示画像信号より小さく表示の解像度が悪くなる問題も、そのような波形に対応したテストパターンを入力したときの検査端子からの信号を補正データとして記憶しておき、隣接間での差を強調するような補正演算をすることによって、表示の切れが良い高画質の表示ができるようになる。

【0038】また、集積回路素子の入出力特性には温度変化や経時変化が生じることがあるが、検出端子からの信号で補正用データを適宜更新させることにより、温度や経時変化に対しても一定な表示性能が得られる。一方、このような温度変化や経時変化が無視できる場合には、図6におけるA/D変換器102を液晶表示装置セットとは切り離し、コストダウンをはかることができる。即ち、工場出荷時の調整用装置内にA/D変換器を持たせ、メモリ素子101としてPROMを用いてその中に補正用データを記憶させておけばよい。

【0039】なお、本発明の実施例として液晶表示装置を例に説明したが、同様の構成を有する他の電子装置、例えば通信用交換器ハイブリッドモジュールや、プリンタヘッド、画像読取りセンサなどにも適用することができる。

【0040】

【発明の効果】以上詳述したように本発明によれば、集積回路素子外部への出力信号を選択するスイッチ回路を同一素子内に形成し、スイッチ回路の出力を被検査端子としているので、端子数が多く端子ピッチが微細であっても、その検査を容易に行うことができ、信頼性の向上及びコストの低減に寄与し得る集積回路素子を実現する

ことができる。また、出力端子の寸法やピッチを従来に比べ極めて小さくすることができることから、画素の高精細化のみならず、駆動ICの小型化・使用数の削減による低価格化、及び液晶表示装置の小型化が可能となる。さらに、集積回路素子の入出力特性の不均一性を補正し、高画質化をはかることも可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す等価回路を含めたブロック図、

【図2】第1の実施例における各信号のタイミングを示す信号波形図、

【図3】第1の実施例における集積回路チップの端子配列を示す平面図、

【図4】本発明の第2の実施例を示す等価回路を含めたブロック図、

【図5】第2の実施例における各信号のタイミングを示す信号波形図、

【図6】第3の実施例に係わる液晶表示装置を示すブロック図、

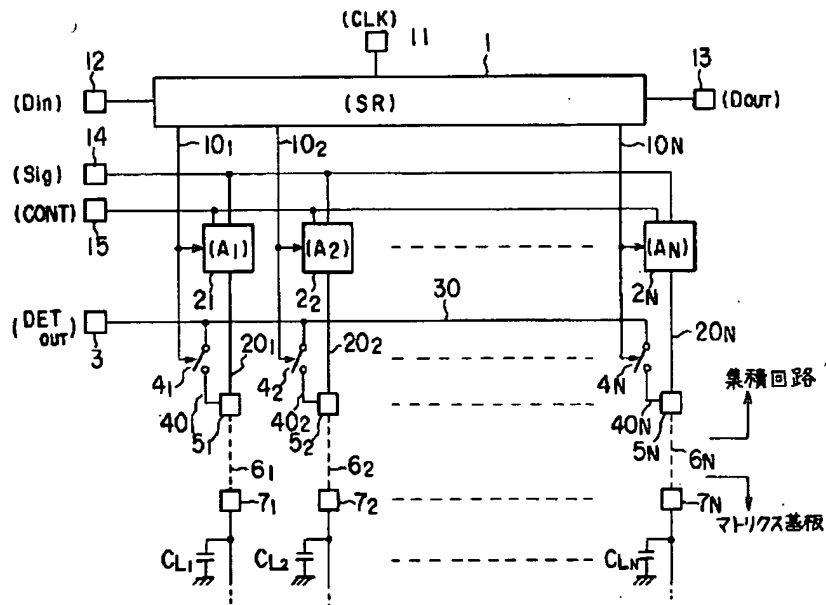
【図7】集積回路素子の一般的な入出力特性及び端子間*20

*での出力のばらつきを示す図。

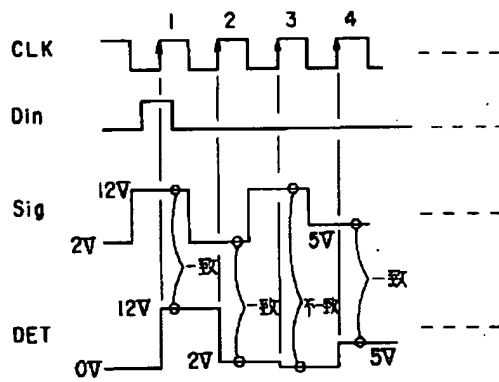
【符号の説明】

- 1…シフトレジスタ、
- 2₁ ~ 2_N…サンプルホールド回路、
- 3…検査端子、
- 4₁ ~ 4_N…選択スイッチ、
- 5₁ ~ 5_N…集積回路部の出力端子、
- 6₁ ~ 6_N…接続材料、
- 7₁ ~ 7_N…液晶表示部のデータ線端子、
- 11…クロック端子、
- 12…シフト開始信号端子、
- 13…シフト信号出力端子、
- 14…画像信号入力端子、
- 15…制御端子、
- 30…共通配線、
- 70…液晶表示パネル部、
- 81₁ ~ 81_N…集積回路素子、
- 100…演算回路、
- 101…メモリ素子。

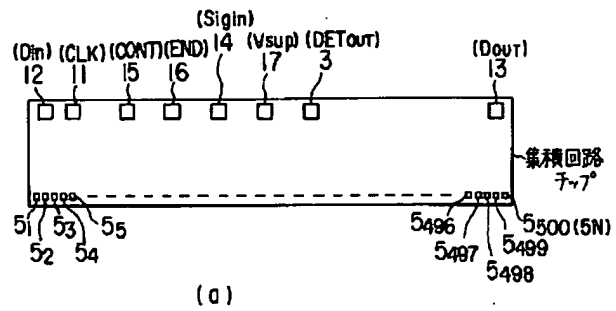
【図1】



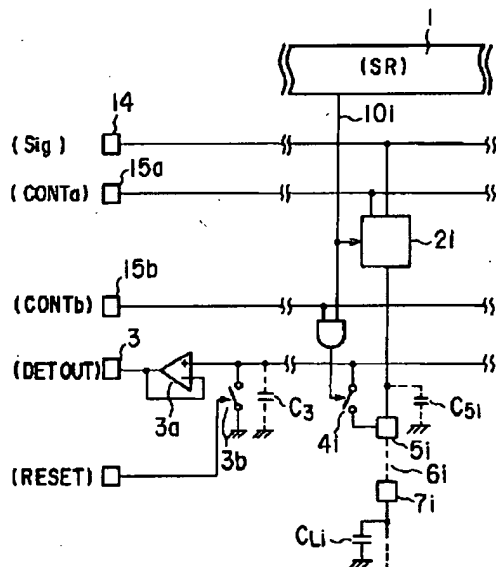
【図2】



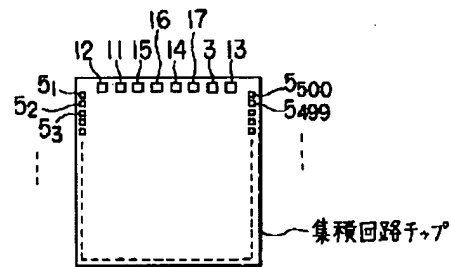
【図3】



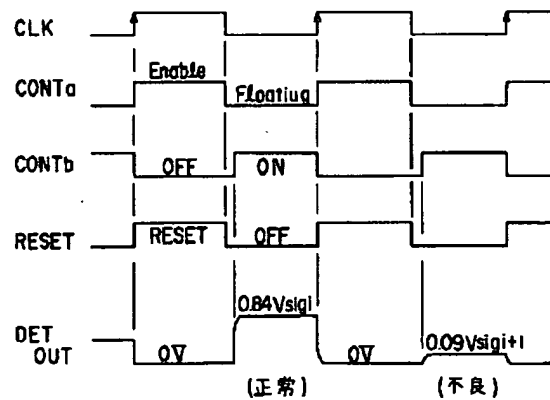
【図4】



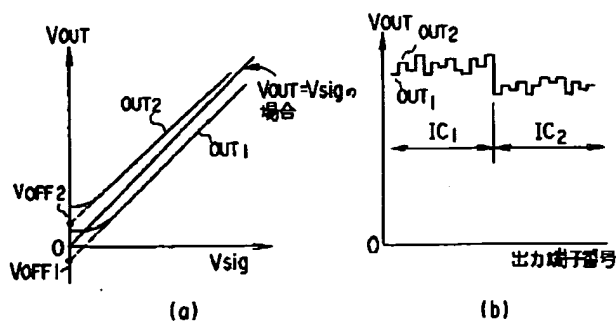
(b)



【図5】



【図7】



【図6】

